

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 06 月 11 日  
Application Date

申請案號：092115806  
Application No.

申請人：威盛電子股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2004 年 1 月 6 日  
Issue Date

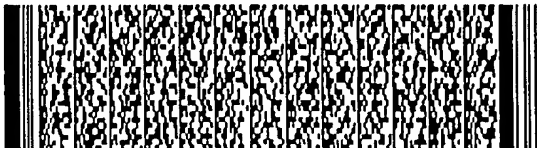
發文字號：09320016330  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

# 發明專利說明書

一、 發明名稱	中 文	快閃記憶體裝置管理單元及方法
	英 文	
二、 發明人 (共2人)	姓 名 (中文)	1. 黃宗慶 2. 何寬瑞
	姓 名 (英文)	1. Chung-Ching Huang 2. Juan-Jui Ho
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 台北縣新店市中正路533號8樓 2. 台北縣新店市中正路533號8樓
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英文)	1.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1.
	代表人 (中文)	1. 王雪紅
	代表人 (英文)	1.



四、中文發明摘要 (發明名稱：快閃記憶體裝置管理單元及方法)

一種快閃記憶體裝置管理單元及方法，適用於支援 LPC 1.1 規格之快閃記憶體。藉由讀取初始設定元件值，並依據快閃記憶體位址對照儲存體，檢索出實際之快閃記憶體編號，據以產生 LPC1.1 記憶體之裝置位址及其操作指令予快閃記憶體裝置。

伍、(一)、本案代表圖為：第3圖

(二)、本案代表圖之元件代表符號簡單說明：

300~快閃記憶體裝置管理單元；

310~中央處理器；

321、322、323~快閃記憶體；

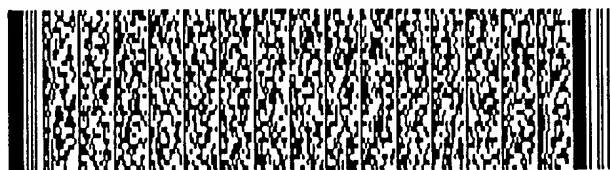
301~快閃記憶體位址對照儲存體；

302~初始設定(strapping)元件；

303~快閃記憶體指令轉換單元；

304~BIOS位址設定單元。

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

### 發明所屬之技術領域

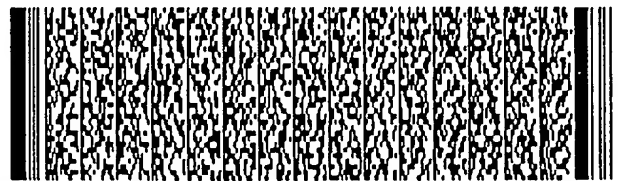
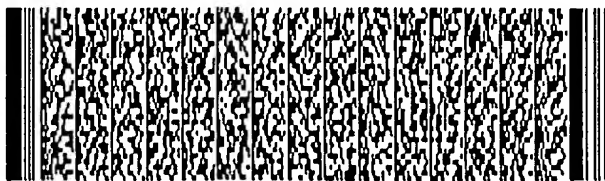
此發明是一種記憶體裝置選擇方法，特別是一種支援 LPC 1.1 規格之快閃記憶體的裝置選擇方法。

### 先前技術

現代之電腦系統中，包含有多樣的記憶體單元。有些記憶體單元被稱為可揮發(volatile)記憶體，亦即是在電腦電源關閉之後，存在於此類記憶體的資料隨即消失。有些記憶體單元被稱為不可揮發(non-volatile)記憶體，亦即是在電腦電源關閉之後，存在於此類記憶體的資料並不會消失。

可揮發記憶體可以被用來達成許多功能，如動態存取記憶體(Dynamic Random Access Memory; DRAM)，特別是指同步動態存取記憶體(Synchronous DRAM; SDRAM)，一般用來儲存主系統程式(main system program)。電腦在開機完成之後，會先將作業系統載入主系統記憶體(main system memory)中。當使用者開啟應用程式，應用程式會從硬碟、光碟等儲存設備載入到主系統記憶體中，以供進一步執行使用。主系統記憶體也可於程式執行期間，用來暫存資料、組態(configuration)或其他資訊。

不可揮發記憶體用來儲存可執行碼(executable code)，讓電腦可以在每次開機的時後執行，這些碼又被稱為韌體(firmware)。舉例來說，大部分電腦都會有一組可執行政序，稱為基本輸入/輸出系統(Basic Input/Output System; BIOS)，用來操作不同種類的輸出



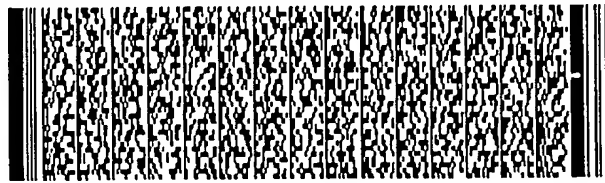
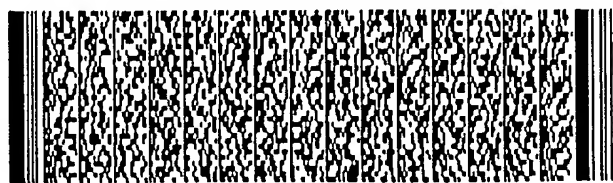
## 五、發明說明 (2)

入裝置，例如軟碟、硬碟等。這些BIOS可執行碼被永久儲存在不可揮發記憶體中，稱為唯讀記憶體(Read Only Memory; ROM)。

但在某些情況下，儲存在唯讀記憶體上的韌體因加強或除錯的需要而更新，有些種類的唯讀記憶體允許其儲存的內容被更新，例如可電子抹寫程式唯讀記憶體(Electrically Erasable Programmable Read Only Memory; EEPROM)。想更新EEPROM中的韌體，必須先抹去原有韌體，再將新的韌體完整寫入記憶體中。

在許多主機板設計和製作中，近來，在唯讀記憶體選擇上，最常採用的是符合LPC 1.1規格的裝置，在其中，典型也最重要的裝置為快閃記憶體(Flash ROM)。快閃記憶體可以被用來達成以下功能，例如，作為系統BIOS、支援雙BIOS架構、支援Linux作業系統或讓其他應用系統儲存資料。

目前，有兩種快閃記憶體可以被系統設計者選擇使用，其一為LPC快閃記憶體，其二為英特爾制定之Firmware HUB快閃記憶體。這兩種快閃記憶體各自擁有不同的存取速度及製造成本。除此之外，這兩種記憶體會擁用不同的LPC週期(cycle)類型及指令(command)集。第一圖係表示習知技術之LPC快閃記憶體操作時脈週期示意圖。第二圖係表示習知技術之Firmware HUB快閃記憶體操作時脈週期示意圖。兩快閃記憶體操作時脈週期都利用LFRAME#作為識別一記憶體操作開始與結束訊號。但是在

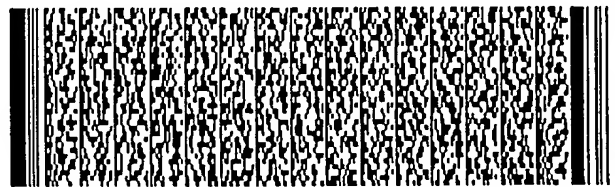
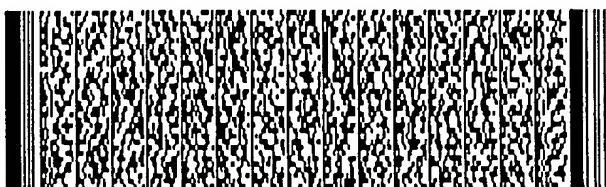


### 五、發明說明 (3)

LAD[3:0]之4 Bit資料流中，卻會在不同的LCLK時脈，使用不等的資料位元數，從LPC快閃記憶體或Firmware HUB快閃記憶體讀取資料，或者是在不同的LCLK時脈，使用不等的資料位元數，寫入資料到LPC快閃記憶體或Firmware HUB快閃記憶體中。

由於主機板設計者因考量因素不同，會採用不同的快閃記憶體。所以過去的快閃記憶體管理單元(Host)為因應此二種快閃記憶體類型，必須同時存在兩種不同版本的管理單元。所以，如何設計一個裝置管理單元可以支援兩種快閃記憶體就變成了一個重要的課題。又由於快閃記憶體常用來作為系統BIOS，因此，此裝置必須在開機自我測試(Power On Self Test; POST)步驟之前，決定此主機板支援何種快閃記憶體。並且，兩種快閃記憶體各自擁用不同的LPC週期及指令(command)集，當使用者下讀取或寫入記憶體指令時，此裝置管理單元必須因應不同種類快閃記憶體，轉換出適當的LPC1.1記憶體操作指令或裝置位址。

除此之外，一主機板上可以擁有多個不同記憶容量的Firmware HUB快閃記憶體。目前，解決此問題的方法為取一個最大容量的快閃記憶體當基底，例如，256K，然後將所有的快閃記憶體以此最大容量當作位址的間距。此方法雖然可以簡單的方式支援多個不同記憶容量的快閃記憶體，但卻浪費了許多記憶體位址空間，舉例來說，如果一應用系統只需快閃記憶體容量64K，但其所配置之記憶體空間依舊是256K，因此記憶體位址空間產生了192K的浪



#### 五、發明說明 (4)

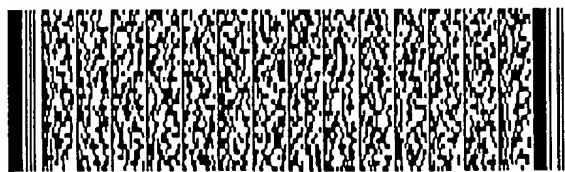
費。所以，此裝置管理單元還必須能在不浪費記憶體空間的情況下，支援多個不同記憶容量的Firmware HUB快閃記憶體。

#### 發明內容

有鑑於此，本發明之目的為提供一種快閃記憶體裝置管理單元及方法。可用於不更改主機板硬體設計的情況下，同時支援符合LPC 1.1規格之傳統LPC及Firmware HUB快閃記憶體。此裝置管理單元可在開機自我測試步驟之前，決定此主機板支援何種快閃記憶體。並且，當使用者下讀取或寫入記憶體指令時，此裝置管理單元及方法可因應不同種類快閃記憶體，轉換出適當的LPC指令予LPC匯流排上之各種快閃記憶體。此裝置管理單元與方法除了轉換出適當的LPC指令外，亦可以支援多個不同記憶容量的Firmware HUB快閃記憶體。

本發明所提出之快閃記憶體裝置管理單元及方法，係將中央處理器傳來的記憶體操作指令及記憶體操作位址區間，依據初始設定(strapping)元件的快閃記憶體類型設定值和快閃記憶體位址對照儲存體所儲存的快閃記憶體位址對照紀錄，產生LPC快閃記憶體或Firmware HUB快閃記憶體裝置位址及操作指令，可讓LPC記憶體管理單元(Host)同時支援傳統LPC快閃記憶體與Firmware HUB快閃記憶體。

依據上述目的，本發明首先於裝置管理單元上設置一初始設定元件，用以設定快閃記憶體類型，以及一快閃記





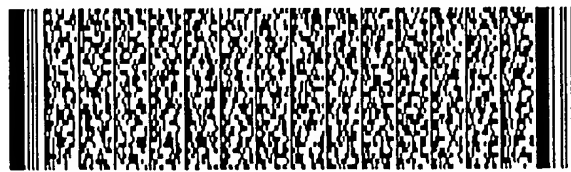
## 五、發明說明 (5)

憶體位址對照儲存體，用以儲存的多個快閃記憶體位址對照紀錄。之後，設置一快閃記憶體指令轉換單元，將中央處理器傳來的記憶體操作指令及記憶體操作位址區間，依據初始設定元件與快閃記憶體位址對照紀錄，進行適當的轉換，產生LPC快閃記憶體或Firmware HUB快閃記憶體裝置位址及操作指令。

### 實施方式

第3圖係表示依據本發明第一實施例之快閃記憶體裝置管理單元及方法之裝置示意圖。依據本發明第一實施例之快閃記憶體裝置管理單元及方法適用於一快閃記憶體裝置管理單元300，其包括一快閃記憶體位址對照儲存體301、一初始設定(strapping)元件302、一快閃記憶體指令轉換單元303及一BIOS位址設定單元304。

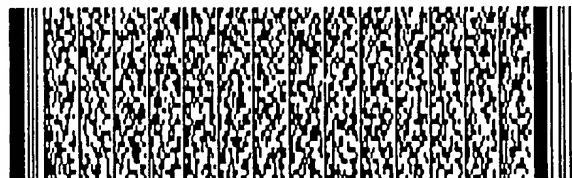
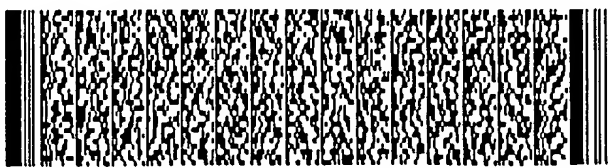
快閃記憶體位址對照儲存體301係快閃記憶體裝置管理單元300中，用以儲存複數個快閃記憶體位址對照紀錄，此快閃記憶體位址對照紀錄為一個資料表(table)結構紀錄，包括一記憶體編號、一記憶體位址區間以及一BIOS旗標。此記憶體編號必須對應到進行LPC記憶體操作時，所使用之IDSEL編號。而記憶體位址區間可以是一個起始位址加上一個終止位址，或者是一個起始位址加上一個記憶體大小，用來紀錄多個不同記憶容量的Firmware HUB快閃記憶體的儲存位址區間。此儲存體實作在一非揮發性記憶體中，如ROM或EEPROM，永久紀錄此主機板上擁有之快閃記憶體相關資訊。



## 五、發明說明 (6)

第4圖係表示第一實施例之快閃記憶體架構示意圖，就概念上而言，快閃記憶體裝置管理單元300所管理符合LPC 1.1規格的快閃記憶體裝置有兩種，一為傳統LPC快閃記憶體41，另一為Firmware HUB快閃記憶體42、43、44、45，就主機板廠商在實際設計主機板時只會選擇其中一種快閃記憶體作為唯讀記憶體，但就晶片組廠商而言，其快閃記憶體管理單元最好必須可同時支援兩種不同類型之快閃記憶體。主機板廠商若選擇傳統LPC快閃記憶體作為唯讀記憶體，則在其主機板上只有一個用來儲存BIOS資料的傳統LPC快閃記憶體41。反之，主機板廠商若採用Firmware HUB快閃記憶體作為唯讀記憶體，則在其主機板上只可以同時擁有多個唯讀記憶體，可分別用來儲存BIOS、I/O或網路卡的資料。

第5圖係表示第一實施例之原始快閃記憶體位址對照紀錄示意圖。假若一主機板存在有四個Firmware HUB快閃記憶體，位址對照儲存體中則存有四個快閃記憶體紀錄，分別為項目0到3。第一個快閃記憶體42用來儲存開機的BIOS資料，其起始基底位址為FFF8\_0000H，記憶體大小為512K，亦即是此快閃記憶體所配置到的位址為FFF8\_0000H到FFFF\_FFFFH，在Firmware HUB快閃記憶體的架構中，開機使用的快閃記憶體，其IDSEL編號為0。第二個快閃記憶體43也用來儲存開機的BIOS資料，使此主機板可以支援雙BIOS架構，記憶體大小亦為512K，此快閃記憶體所配置到的位址為FFF0\_0000H到FFF7\_FFFFH，其IDSEL編號為1。第

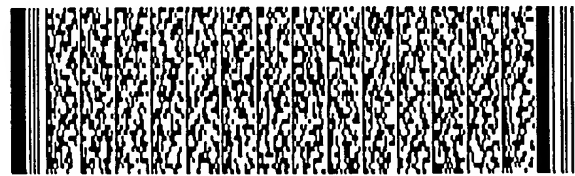
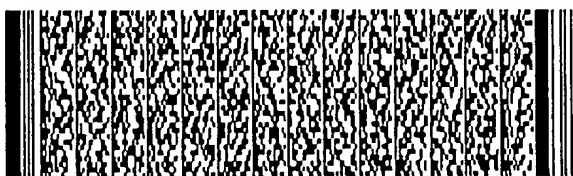


## 五、發明說明 (7)

三個快閃記憶體44用來儲存嵌入式鍵盤控制(Embedded KBC controller)資料，支援鍵盤符號對應矩陣(keyboard mapping matrix)，記憶體大小為256K，此快閃記憶體所配置到的位址為FFEC\_0000H到FFEF\_FFFFH，其IDSEL編號為2。第四個快閃記憶體45用來儲存網路卡資料，記憶體大小為128K，此快閃記憶體所配置到的位址為FFEA\_0000H到FFEB\_FFFFH，其IDSEL編號為3。

初始設定(strapping)元件302，用以於開機自我測試步驟之前，輸出一快閃記憶體設定訊號，顯示此主機板支援之快閃記憶體類型為LPC快閃記憶體或Firmware HUB快閃記憶體。此元件為一硬體元件，可以為一初始設定腳位(strapping pin)，使用者可將此初始元件設定成支援LPC快閃記憶體或Firmware HUB快閃記憶體。

快閃記憶體指令轉換單元303，用以將記憶體讀取或寫入指令，轉換成讀取或寫入LPC快閃記憶體之LPC1.1記憶體操作指令，或者是轉換成讀取或寫入Firmware HUB快閃記憶體之LPC1.1記憶體操作指令。當中央處理器310派發一記憶體操作指令及一記憶體操作位址區間給快閃記憶體指令轉換單元303時，快閃記憶體指令轉換單元首先須偵測初始設定元件302所設定之快閃記憶體類型。如果此快閃記憶體類型為LPC快閃記憶體，則直接使用該記憶體操作位址區間，產生一LPC快閃記憶體操作指令。如果此快閃記憶體類型為Firmware HUB快閃記憶體，則依據記憶體操作位址區間，至快閃記憶體位址對照儲存體301，檢

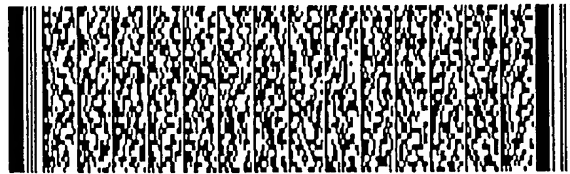
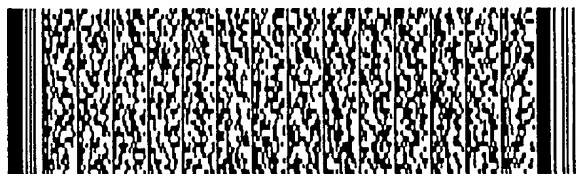


## 五、發明說明 (8)

索出IDSEL編號，之後，依據上述之IDSEL編號和記憶體操作位址區間，產生一Firmware HUB快閃記憶體裝置位址及操作指令。最後，依據記憶體操作指令及IDSEL編號，從快閃記憶體321、322或323讀取資料，或者將資料寫入到快閃記憶體321、322或323中。

第7圖係表示第一實施例之快閃記憶體裝置選擇示意圖。快閃記憶體裝置管理單元300中儲存一快閃記憶體位址對照儲存體301，儲存多個快閃記憶體位址區間對應IDSEL編號紀錄。當快閃記憶體裝置管理單元300要去符合LPC1.1之快閃記憶體讀取或寫入資料時，如710所示，會讀取初始設定元件302之值，以及讀取或寫入之裝置位址。如果初始設定元件值為on，如721所示，則表示其選擇傳統LPC快閃記憶體722，進行資料讀寫動作。如果初始設定元件值為off且裝置位址值落在Range0中，如731所示，則表示其選擇Boot FWH快閃記憶體732，進行資料讀寫動作。如果裝置位址值落在Range1或Range2中，如741、751所示，則表示其選擇FWH快閃記憶體742或752，進行資料讀寫動作。

第6圖係表示第一實施例之開機快閃記憶體改變後的快閃記憶體位址對照紀錄示意圖。在電腦進行開機時，發現無法讀取BIOS資料，或讀取到的BIOS資料有誤，會傳回一錯誤訊息給BIOS位址設定單元304。BIOS位址設定單元304接受到此錯誤訊息後，會根據快閃記憶體位址對照儲存體301所儲存之BIOS旗標資料，去尋找下一個可用的



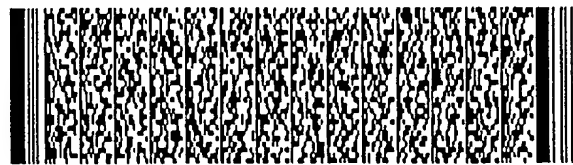
#### 五、發明說明 (9)

BIOS 記憶體，並將舊有用來開機的BIOS快閃記憶體的IDSEL編號和下一個可用的BIOS記憶體的IDSEL編號對調，並將舊有用來開機的BIOS快閃記憶體的BIOS旗標設為-1，表示此BIOS已損壞，再進行重新開機的動作。

第8圖係表示依據本發明第一實施例之快閃記憶體裝置管理單元及方法之方法流程圖。

首先，如步驟S81，由快閃記憶體指令轉換單元303輸入由中央處理器310傳來的記憶體操作指令及記憶體操作位址區間，此記憶體操作指令有可能是記憶體讀取指令或記憶體寫入指令。之後，如步驟S82，從初始設定(strapping)元件讀取快閃記憶體類型設定值，進行初始設定條件判斷，如步驟S83，判斷此主機板之快閃記憶體類型是否為傳統LPC快閃記憶體。如果是，進行步驟S84，產生傳統LPC快閃記憶體操作指令，此LPC快閃記憶體操作指令有可能是LPC快閃記憶體讀取指令或LPC快閃記憶體寫入指令。如果不是，則進行步驟S85，從快閃記憶體位址對照儲存體所儲存的快閃記憶體位址對照紀錄，依據記憶體操作位址區間檢索出IDSEL編號。最後，如步驟S86，產生Firmware HUB快閃記憶體裝置位址及操作指令，此Firmware HUB快閃記憶體操作指令有可能是Firmware HUB快閃記憶體讀取指令或Firmware HUB快閃記憶體寫入指令。

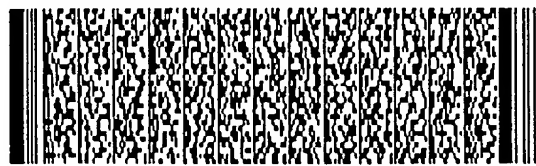
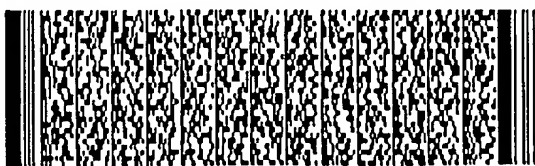
因此，藉由本發明所提供之快閃記憶體裝置管理單元及方法，將中央處理器傳來的記憶體操作指令及記憶體操



##### 五、發明說明 (10)

作位址區間，依據初始設定(strapping)元件的快閃記憶體類型設定值和快閃記憶體位址對照儲存體所儲存的快閃記憶體位址對照紀錄，產生LPC快閃記憶體或Firmware HUB快閃記憶體裝置位址及操作指令，可讓記憶體管理單元(Host)同時支援LPC快閃記憶體與Firmware HUB快閃記憶體。並且，此發明可在開機自我測試步驟之前，決定此主機板支援何種快閃記憶體，除可以滿足其他設備讀取ROM資料的需求外，亦可以滿足中央處理器讀取BIOS資料的需求。除此之外，此發明可在不浪費記憶體空間的情況下，支援多個不同記憶容量的Firmware HUB快閃記憶體。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟悉此項技藝者，在不脫離本發明之精神和範圍內，當可做些許更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

為使本發明之上述目的、特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖示，進行詳細說明如下：

第1圖係表示習知技術之LPC快閃記憶體操作時脈週期示意圖；

第2圖係表示習知技術之Firmware HUB快閃記憶體操作時脈週期示意圖；

第3圖係表示依據本發明第一實施例之快閃記憶體裝置管理單元及方法之裝置示意圖；

第4圖係表示第一實施例之快閃記憶體架構示意圖；

第5圖係表示第一實施例之原始快閃記憶體位址對照紀錄示意圖；

第6圖係表示第一實施例之開機快閃記憶體改變後的快閃記憶體位址對照紀錄示意圖；

第7圖係表示第一實施例之快閃記憶體裝置選擇示意圖；

第8圖係表示依據本發明第一實施例之快閃記憶體裝置管理單元及方法之方法流程圖。

## 符號說明

300~快閃記憶體選擇裝置；

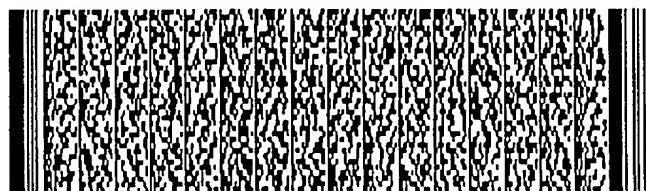
310~中央處理器；

321、322、323~快閃記憶體；

301~快閃記憶體位址對照儲存體；

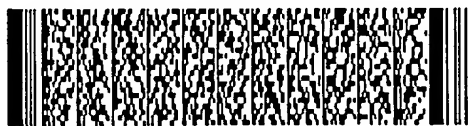
302~初始設定(strapping)元件；

303~快閃記憶體指令轉換單元；



圖式簡單說明

- 304~BIOS 位址設定單元；
- 41~傳統LPC快閃記憶體(BIOS)；
- 42~FWH快閃記憶體(BIOS)；
- 43~FWH快閃記憶體(BIOS)；
- 44~FWH快閃記憶體(特殊I/O)；
- 45~FWH快閃記憶體(網路卡)；
- S61-S66~操作步驟。





## 六、申請專利範圍

1. 一種快閃記憶體裝置管理單元，適用於一電腦系統，包括：

一快閃記憶體位址對照儲存體，用以儲存複數個快閃記憶體位址對照紀錄，該快閃記憶體位址對照紀錄包括一記憶體編號、一記憶體位址區間；

一初始設定(strapping)元件，用以輸出一快閃記憶體設定值，決定主機板上之一快閃記憶體類型；以及

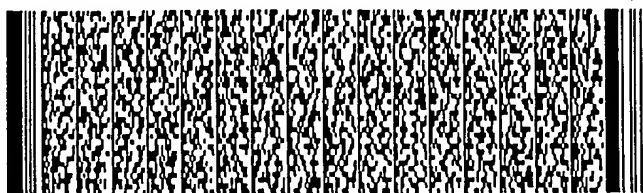
一快閃記憶體指令轉換單元耦接於該快閃記憶體位址對照儲存體與該初始設定元件，用以輸入一記憶體操作指令及一記憶體操作位址區間，偵測該快閃記憶體設定值，依據該記憶體操作位址區間，由該快閃記憶體位址對照儲存體，檢索出該記憶體編號，依據該快閃記憶體設定值以及該記憶體編號，產生一LPC1.1記憶體操作指令。

2. 如申請專利範圍第1項所述之快閃記憶體裝置管理單元，該快閃記憶體位址對照儲存體中，該記憶體編號為IDSEL編號。

3. 如申請專利範圍第1項所述之快閃記憶體裝置管理單元，該快閃記憶體位址對照儲存體中，該記憶體操作位址區間包含一起始位址及一終止位址。

4. 如申請專利範圍第1項所述之快閃記憶體裝置管理單元，該快閃記憶體位址對照儲存體中，該記憶體操作位址區間包含一起始位址及一記憶體大小。

5. 如申請專利範圍第1項所述之快閃記憶體裝置管理單元，該初始設定元件中，該快閃記憶體類型為LPC快閃



## 六、申請專利範圍

### 記憶體。

6. 如申請專利範圍第1項所述之快閃記憶體裝置管理單元，該初始設定元件中，該快閃記憶體類型為Firmware HUB快閃記憶體。

7. 如申請專利範圍第1項所述之快閃記憶體裝置管理單元，該快閃記憶體指令轉換單元中，該記憶體操作指令為一記憶體讀取指令。

8. 如申請專利範圍第1項所述之快閃記憶體裝置管理單元，該快閃記憶體指令轉換單元中，該記憶體操作指令為一記憶體寫入指令。

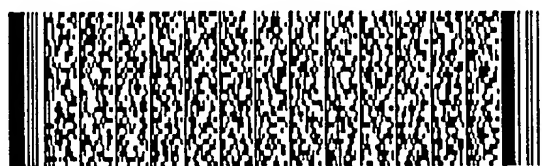
9. 如申請專利範圍第1項所述之快閃記憶體裝置管理單元，該快閃記憶體指令轉換單元中，該LPC1.1記憶體操作指令為一LPC快閃記憶體讀取指令。

10. 如申請專利範圍第1項所述之快閃記憶體裝置管理單元，該快閃記憶體指令轉換單元中，該LPC1.1記憶體操作指令為一LPC快閃記憶體寫入指令。

11. 如申請專利範圍第1項所述之快閃記憶體裝置管理單元，該快閃記憶體指令轉換單元中，該LPC1.1記憶體操作指令為一Firmware HUB快閃記憶體讀取指令。

12. 如申請專利範圍第1項所述之快閃記憶體裝置管理單元，該快閃記憶體指令轉換單元中，該LPC1.1記憶體操作指令為一Firmware HUB快閃記憶體寫入指令。

13. 如申請專利範圍第1項所述之快閃記憶體裝置管理單元，該快閃記憶體位址對照儲存體中更包括一BIOS旗



## 六、申請專利範圍

標，用以指出一快閃記憶體中所儲存之資料為BIOS資料。

14. 如申請專利範圍第1項所述之快閃記憶體裝置管理單元，更包括一BIOS位址設定單元，用以偵測一讀取BIOS資料錯誤訊息，輸入該快閃記憶體位址對照儲存體中之該BIOS旗標，改變該快閃記憶體位址對照儲存體中之BIOS快閃記憶體設定。

15. 一種快閃記憶體裝置管理方法，適用於一電腦系統，其方法包括下列步驟：

輸入一記憶體操作指令及一記憶體操作位址區間；

讀取一快閃記憶體設定(strapping)值；

輸入一快閃記憶體位址對照儲存紀錄，該快閃記憶體位址對照紀錄包括一記憶體編號、一記憶體位址區間；

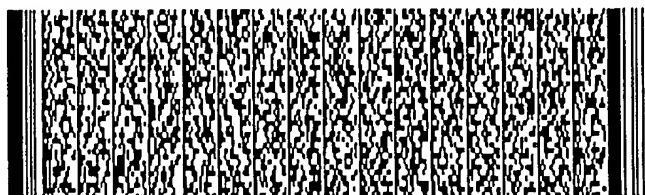
依據該記憶體操作位址區間，檢索該記憶體編號；

以及依據該快閃記憶體設定值、該記憶體編號產生一LPC1.1記憶體操作指令。

16. 如申請專利範圍第15項所述之快閃記憶體裝置管理方法，在輸入該記憶體操作指令及該記憶體操作位址區間步驟中，其中該記憶體操作指令為一記憶體讀取指令。

17. 如申請專利範圍第15項所述之快閃記憶體裝置管理方法，在輸入該記憶體操作指令及該記憶體操作位址區間步驟中，其中該記憶體操作指令為一記憶體寫入指令。

18. 如申請專利範圍第15項所述之快閃記憶體裝置管理方法，在讀取該快閃記憶體設定值步驟中，其中該快閃記憶體設定值為LPC快閃記憶體。



## 六、申請專利範圍

19. 如申請專利範圍第15項所述之快閃記憶體裝置管理方法，在讀取該快閃記憶體設定值步驟中，其中該快閃記憶體設定值為Firmware HUB快閃記憶體。

20. 如申請專利範圍第15項所述之快閃記憶體裝置管理方法，在輸入一快閃記憶體位址對照儲存紀錄步驟中，該記憶體編號為一IDSEL編號。

21. 如申請專利範圍第15項所述之快閃記憶體裝置管理方法，在輸入一快閃記憶體位址對照儲存紀錄步驟中，該記憶體位址區間包含一起始位址及一終止位址。

22. 如申請專利範圍第15項所述之快閃記憶體裝置管理方法，在輸入一快閃記憶體位址對照儲存紀錄步驟中，該記憶體位址區間包含一起始位址及一記憶體大小。

23. 如申請專利範圍第15項所述之快閃記憶體裝置管理方法，在產生該LPC1.1記憶體操作指令步驟中，該LPC1.1記憶體操作指令為一LPC快閃記憶體讀取指令。

24. 如申請專利範圍第15項所述之快閃記憶體裝置管理方法，在產生該LPC1.1記憶體操作指令步驟中，該LPC1.1記憶體操作指令為一LPC快閃記憶體寫入指令。

25. 如申請專利範圍第15項所述之快閃記憶體裝置管理方法，在產生該LPC1.1記憶體操作指令步驟中，該LPC1.1記憶體操作指令為一Firmware HUB快閃記憶體讀取指令。

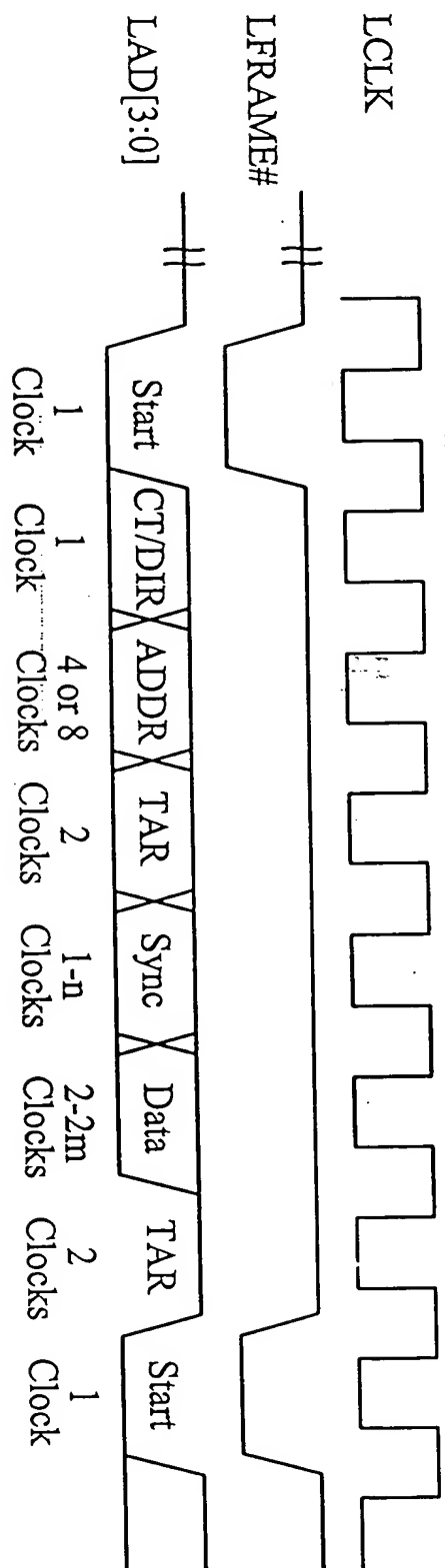
26. 如申請專利範圍第15項所述之快閃記憶體裝置管理方法，在產生該LPC1.1記憶體操作指令步驟中，該



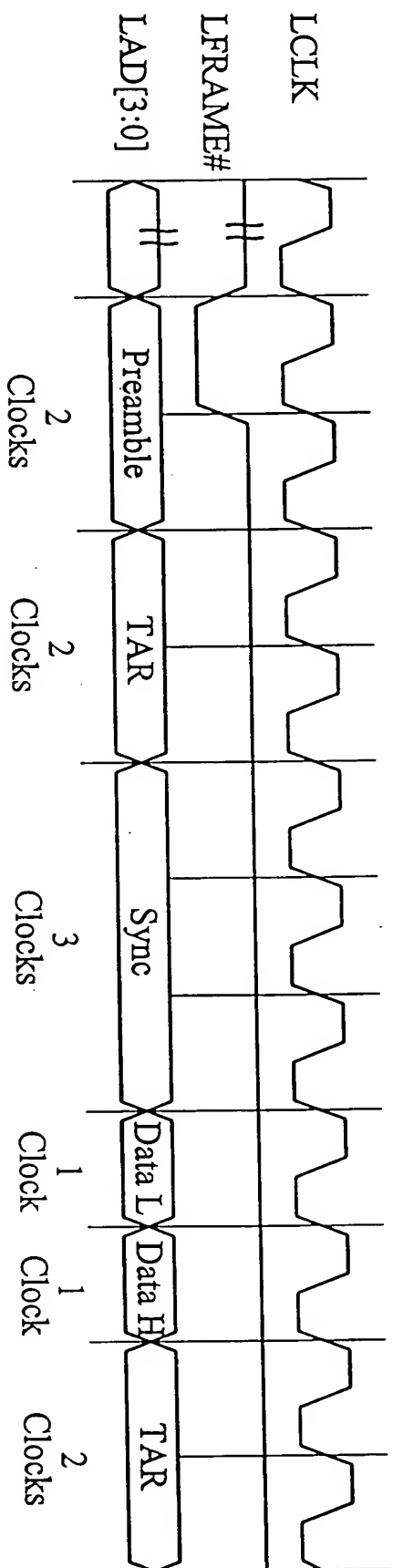
六、申請專利範圍

LPC1.1 記憶體操作指令為一Firmware HUB快閃記憶體寫入指令。

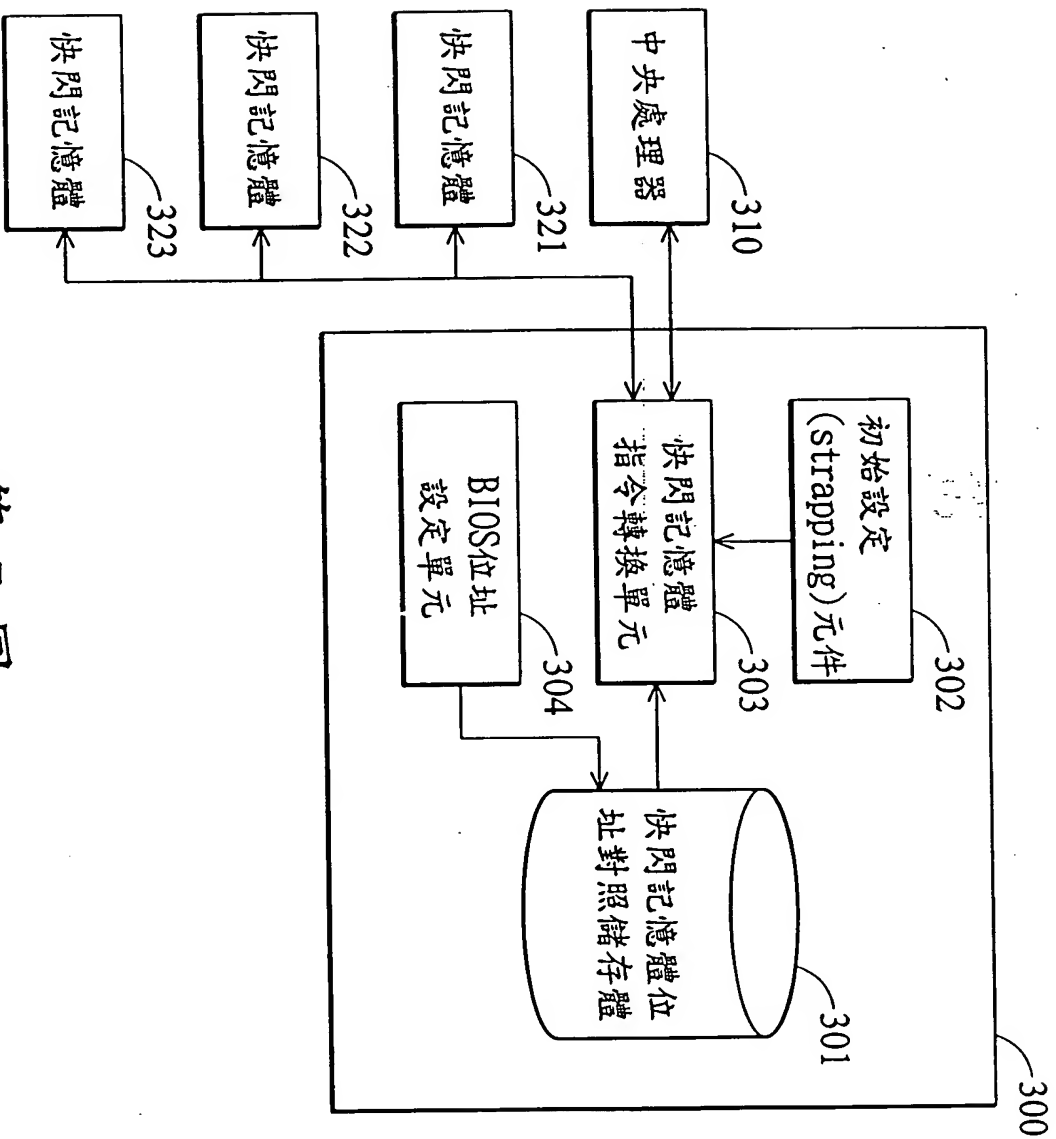




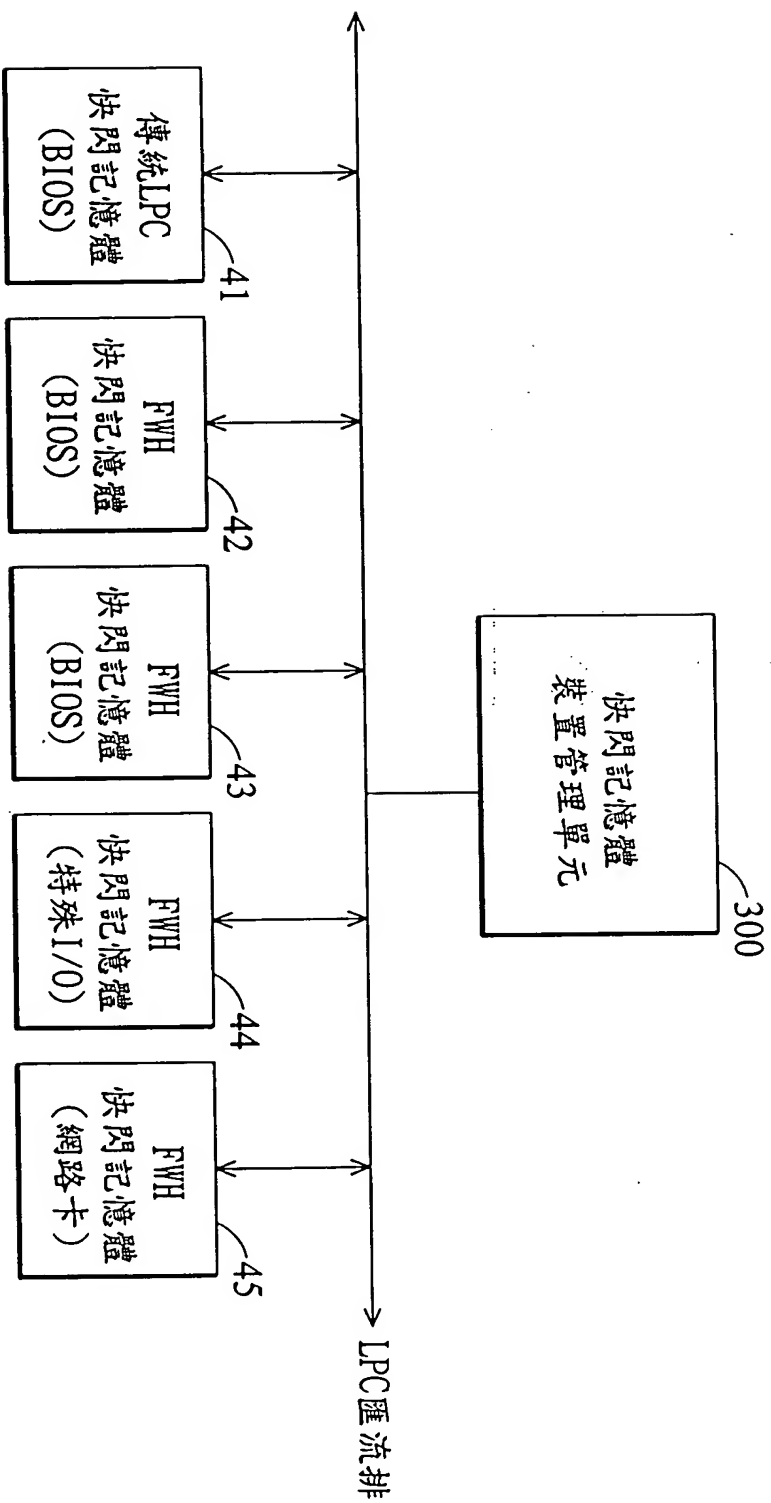
第 1 圖



第 2 圖



第 3 圖



第 4 圖

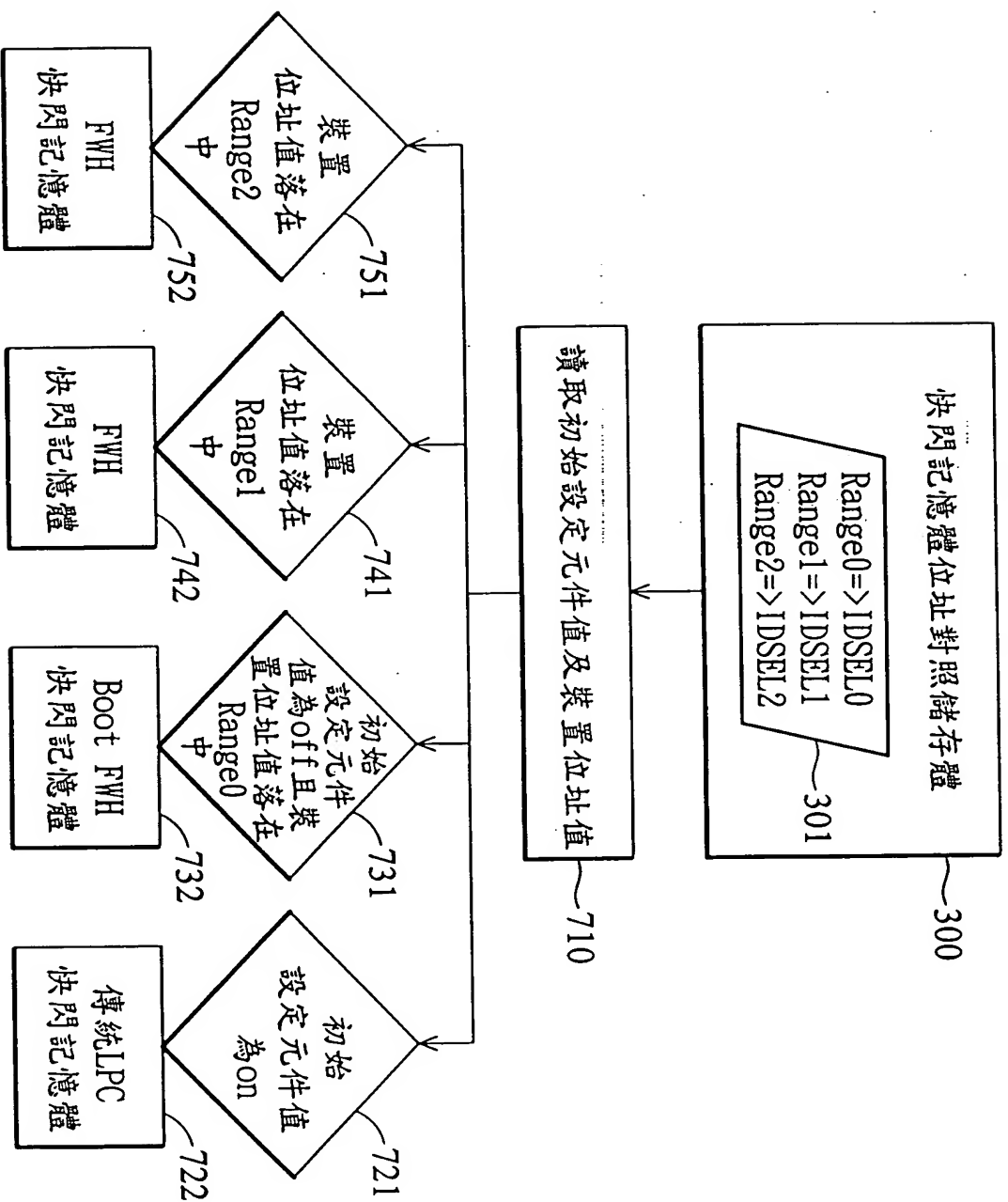


項目	起始基底(Base0)	記憶體大小	IDSEL#	BIOS 旗標
0	FFF8_0000H	512K	0	1
1	FFF0_0000H	512K	1	1
2	FFEC_0000H	256K	2	0
3	FFEA_0000H	128K	3	0

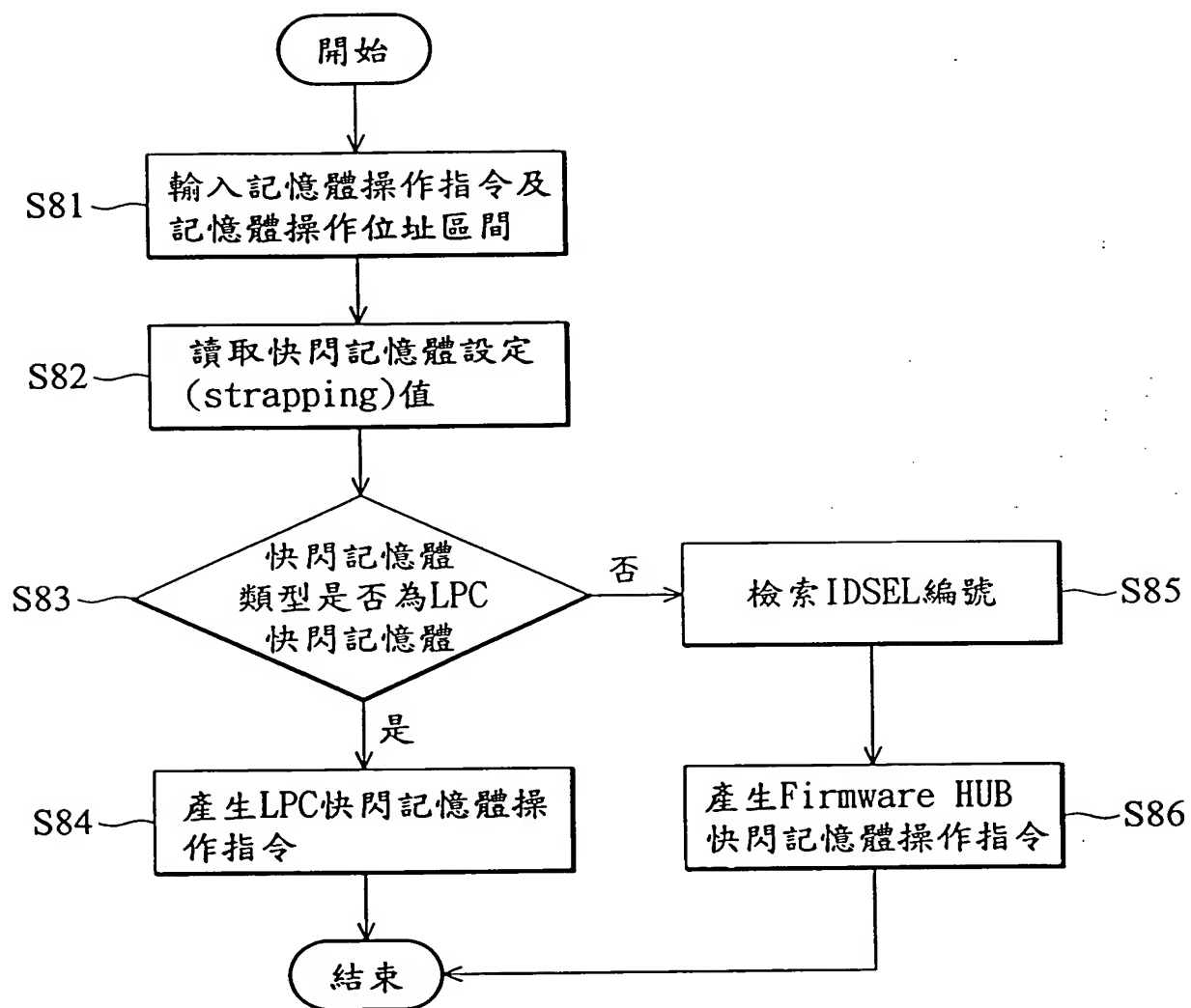
第 5 圖

項目	起始基底(Base0)	記憶體大小	IDSEL#	BIOS 旗標
0	FFF8_0000H	512K	1	-1
1	FFF0_0000H	512K	0	1
2	FFEC_0000H	256K	2	0
3	FFEA_0000H	128K	3	0

第 6 圖

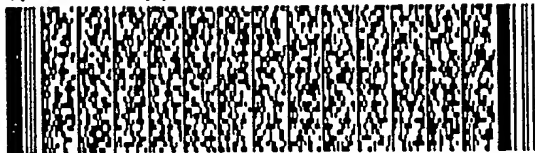


第 7 圖

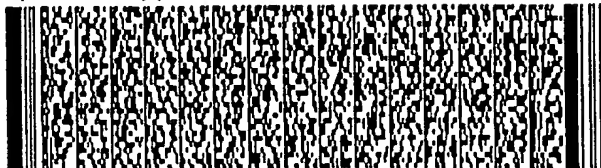


第 8 圖

第 1/20 頁



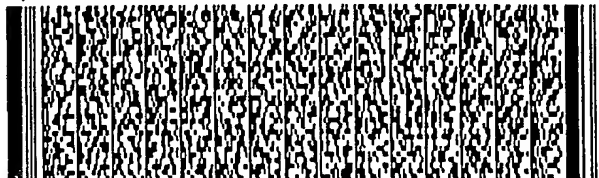
第 2/20 頁



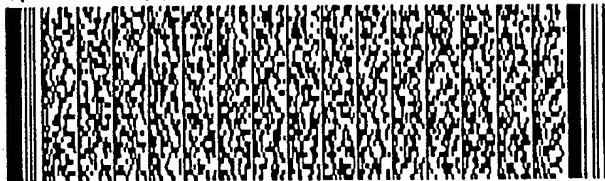
第 3/20 頁



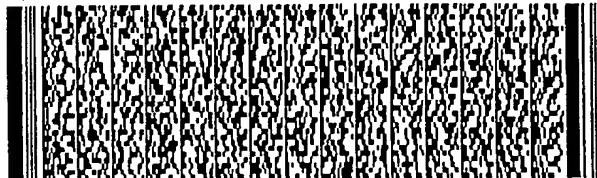
第 4/20 頁



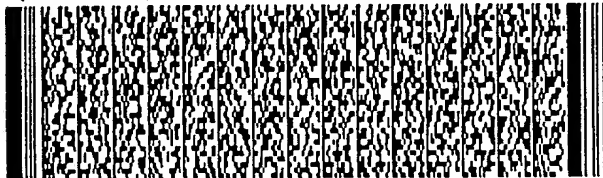
第 4/20 頁



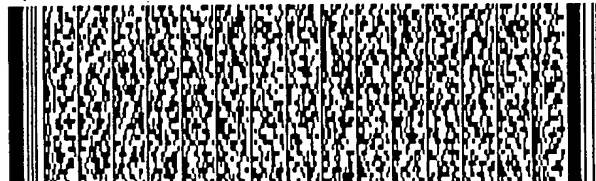
第 5/20 頁



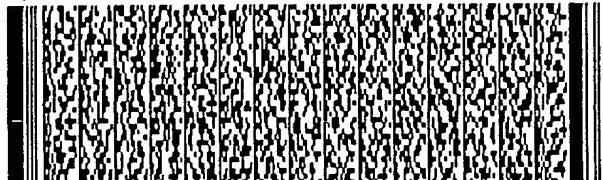
第 5/20 頁



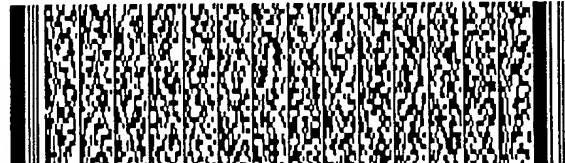
第 6/20 頁



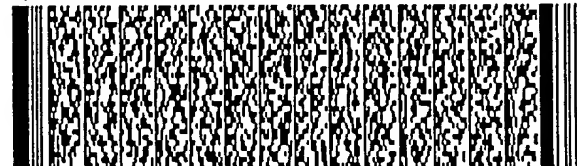
第 6/20 頁



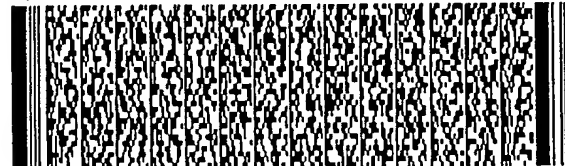
第 7/20 頁



第 7/20 頁



第 8/20 頁



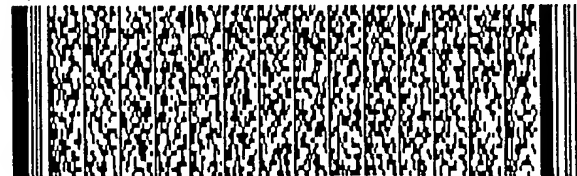
第 8/20 頁



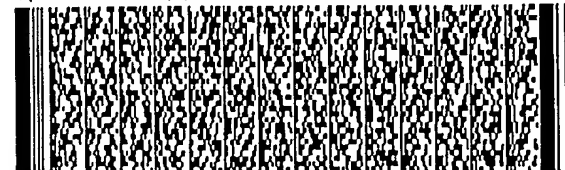
第 9/20 頁



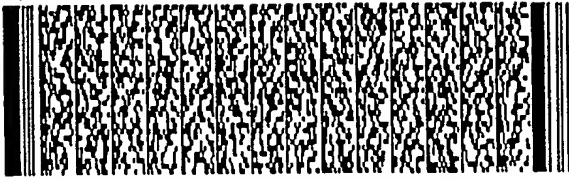
第 9/20 頁



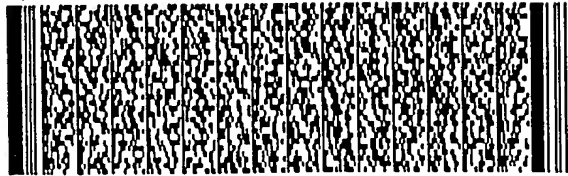
第 10/20 頁



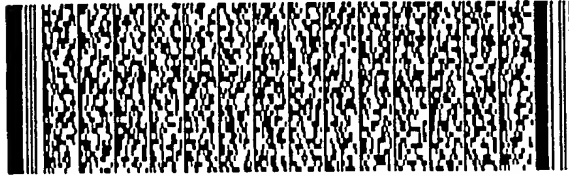
第 10/20 頁



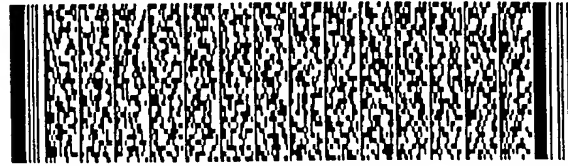
第 11/20 頁



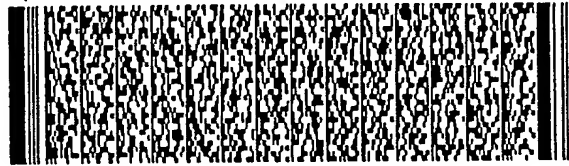
第 11/20 頁



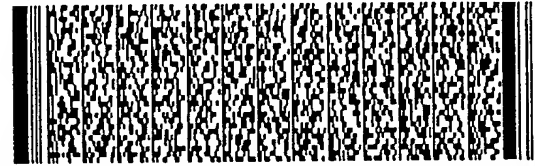
第 12/20 頁



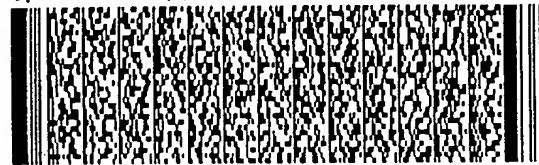
第 12/20 頁



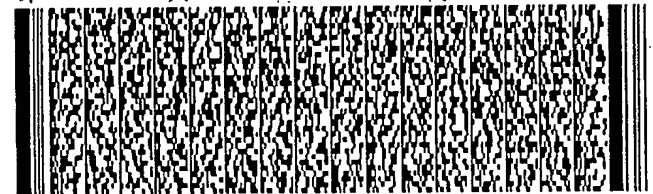
第 13/20 頁



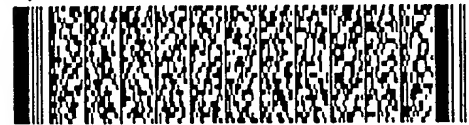
第 13/20 頁



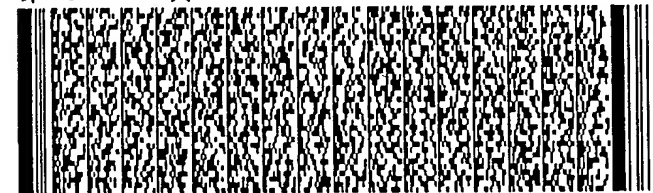
第 14/20 頁



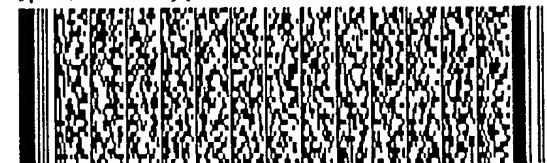
第 15/20 頁



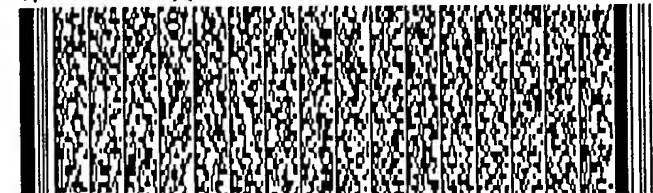
第 16/20 頁



第 17/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁

